

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31091

(P2000-31091A)

(43) 公開日 平成12年1月28日(2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 S
21/8238		27/08	3 2 1 F
27/092		29/78	6 1 6 J
29/786			
21/336			

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願平11-49168

(22) 出願日 平成11年2月25日(1999.2.25)

(31) 優先権主張番号 09/113,667

(32) 優先日 平成10年7月10日(1998.7.10)

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71) 出願人 592208286

シャープ・マイクロエレクトロニクス・テクノロジー・インコーポレイテッド

アメリカ合衆国、ワシントン・98607、カマス、エヌ・ダブリュー、パシフィック・リム・プールバード・5700

(74) 代理人 100078282

弁理士 山本 秀策

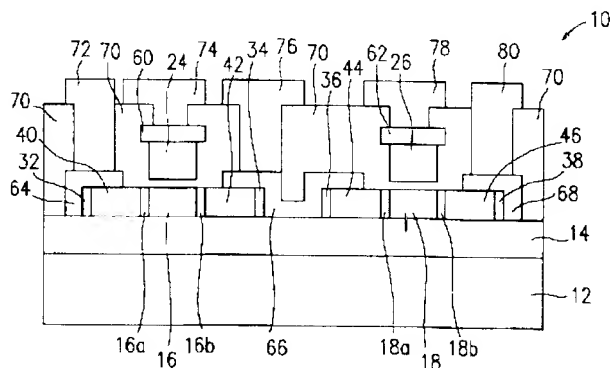
最終頁に続く

(54) 【発明の名称】 二重側壁の隆起型シリサイド化ソース/ドレインCMOSトランジスタ

(57) 【要約】

【課題】 超高密度、超小型形状回路の製造のための単純で信頼性があり、コスト効率の高いシリサイドCMOSプロセス/構造体を提供する。

【解決手段】 シリサイド化素子を形成する方法は、素子範囲を形成することによって基板を調製する工程と、基板と任意のシリサイド層との間に位置する構造体を設ける工程と、形成された構造体の上全体に第1の反応性材料の第1の層を形成する工程と、構造体の選択部分に絶縁領域を設ける工程と、絶縁領域および第1の反応性材料の第1の層の上全体に第2の反応性材料の第2の層を形成する工程と、第1の反応性材料および第2の反応性材料を反応させてシリサイド層を形成する工程と、未反応の反応性材料を除去する工程と、シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程とを含む。



【特許請求の範囲】

【請求項1】 素子範囲を基板上に形成することにより該基板を調製する工程と、

該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、

形成された該構造体の上全体に第1の反応性材料の第1の層を形成する工程と、

該構造体の選択部分に絶縁領域を設ける工程と、

該絶縁領域および該第1の反応性材料の該第1の層の上全体に第2の反応性材料の第2の層を形成する工程と、

該第1の反応性材料および該第2の反応性材料を反応させてシリサイド層を形成する工程と、

未反応の該反応性材料を除去する工程と、

該シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程と、を含む、シリサイド化素子を形成する方法。

【請求項2】 前記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で前記構造体を高速熱アニールすることを含む、請求項1に記載の方法。

【請求項3】 前記第1の反応性材料の前記第1の層を、前記形成された構造体の上全体に形成する工程が、ポリシリコンの層を堆積することを含み、前記第2の反応性材料の前記第2の層を形成する工程が、Ni、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積することを含む、請求項1に記載の方法。

【請求項4】 前記第1の反応性材料の前記第1の層を、前記形成された構造体の上全体に形成する工程が、Ni、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積することを含み、前記第2の反応性材料の前記第2の層を形成する工程が、ポリシリコンの層を堆積することを含む、請求項1に記載の方法。

【請求項5】 前記第1の反応性材料の前記第1の層を、前記形成された構造体の上全体に形成する工程が、Ni、CoおよびPtからなる高融点金属の群から選択される高融点金属の層を堆積すること、および該第1の反応性材料の該第1の層の上にTiの層を堆積することを含み、該構造体の前記選択部分に前記絶縁領域を設ける工程が、Ti層を酸化してTiO₂を形成することを含み、前記第2の反応性材料の前記第2の層を形成する工程が、ポリシリコンの層を堆積することを含む、請求項1に記載の方法。

【請求項6】 素子範囲を基板上に形成することにより該基板を調製する工程と、
該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、
形成された該構造体の上全体にポリシリコンの層を堆積する工程と、

該構造体の選択部分に絶縁領域を設ける工程と、

該絶縁領域と該ポリシリコン層との上全体にNi、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積する工程と、

該ポリシリコンと該高融点金属とを反応させてシリサイド層を形成する工程と、

未反応の該高融点金属を除去する工程と、

該シリサイド層上に位置する構造体を形成する工程と、

素子をメタライズする工程と、を含む、シリサイド化素子を形成する方法。

【請求項7】 前記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で前記構造体を高速熱アニールすることを含む、請求項6に記載の方法。

【請求項8】 素子範囲を基板上に形成することにより該基板を調製する工程と、

該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、

形成された該構造体の上全体に高融点金属の層を堆積する工程と、

該構造体の選択部分に絶縁領域を設ける工程と、

該絶縁領域および第1の反応性材料の第1の層の上全体にポリシリコン層を堆積する工程と、

該第1の反応性材料および第2の反応性材料を反応させてシリサイド層を形成する工程と、

未反応の該反応性材料を除去する工程と、

該シリサイド層上に位置する構造体を形成する工程と、

素子をメタライズする工程と、を含む、シリサイド化素子を形成する方法。

【請求項9】 前記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で前記構造体を高速熱アニールすることを含む、請求項8に記載の方法。

【請求項10】 前記高融点金属の層を堆積する工程が、CoおよびPtからなる高融点金属の群から選択される高融点金属の層を堆積すること、および前記第1の反応性材料の前記第1の層の上にTiの層を堆積することを含み、前記構造体の選択部分に前記絶縁領域を設ける工程が、Tiを酸化してTiO₂を形成することを含み、前記第2の反応性材料の第2の層を形成する工程が、ポリシリコン層を堆積することを含む、請求項8に記載の方法。

【請求項11】 前記高融点金属層を堆積する工程が、Ni、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属を堆積することを含む、請求項8に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、浅いソースおよびドレイン領域の、非常に短いチャネル長を有するSIM

OXおよびMOSトランジスタ上に形成された高性能CMOSに関する。

【00002】

【従来の技術】MOS回路は概して、バリア、導電性媒体、または中間層として高融点金属または高融点金属のシリサイドを用いる。高融点金属およびそのシリサイドは、比較的低い抵抗率および低い接触抵抗を有し、導電性膜および導電性層として望ましい。

【00003】

【発明が解決しようとする課題】しかし、公知のシリサイド処理は、深いサブミクロンMOSトランジスタ上で作用しない。なぜなら、このような処理は、概して多量のシリコンを消費しすぎるからである。更に、シリサイド層の均一な堆積を達成する際の干渉物および課題は、製造上の問題を引き起こす。シリコンの選択的なエッチバック成長またはポリシリコンの選択的な堆積は、専門的な製造機器を必要とする。更に、シリサイド処理の選択性は、エッチされた膜の表面状態に強く依存する。

【00004】本発明の目的は、超高密度、超小型形成回路の製造のための単純で信頼性があり、コスト効率的な高いシリサイドCMOS処理、構造体を開発することである。

【00005】

【課題を解決するための手段】本発明の1つの局面によれば、シリサイド化素子を形成する方法は、素子範囲を基板上に形成することにより該基板を調製する工程と、該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、形成された該構造体の上全体に第1の反応性材料の第1の層を形成する工程と、該構造体の選択部分に絶縁領域を設ける工程と、該絶縁領域および該第1の反応性材料の該第1の層の上全体に第2の反応性材料の第2の層を形成する工程と、該第1の反応性材料および該第2の反応性材料を反応させてシリサイド層を形成する工程と、未反応の該反応性材料を除去する工程と、該シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程と、を含む。これにより、上記目的が達成される。

【00006】好ましくは、上記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で上記構造体を高速熱アニールすることを含む。

【00007】好ましくは、上記第1の反応性材料の上記第1の層を、上記形成された構造体の上全体に形成する工程が、ポリシリコンの層を堆積することを含む。上記第2の反応性材料の上記第2の層を形成する工程が、Ni、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積することを含む。

【00008】好ましくは、上記第1の反応性材料の上記第1の層を、上記形成された構造体の上全体に形成する

工程が、Ni、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積することを含む。上記第2の反応性材料の上記第2の層を形成する工程が、ポリシリコンの層を堆積することを含む。

【00009】好ましくは、上記第1の反応性材料が上記第1の層を、上記形成された構造体の上全体に形成する工程が、Ni、CoおよびPtからなる高融点金属の群から選択される高融点金属の層を堆積すること、および該第1の反応性材料の該第1の層の上にTiの層を堆積することを含む。該構造体の上記選択部分に上記絶縁領域を設ける工程が、Ti層を酸化してTiO₂を形成することを含む。上記第2の反応性材料の上記第2の層を形成する工程が、ポリシリコンの層を堆積することを含む。

【00010】本発明の別の局面では、シリサイド化素子を形成する方法は、素子範囲を基板上に形成することにより該基板を調製する工程と、該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、形成された該構造体の上全体にポリシリコンの層を堆積する工程と、該構造体の選択部分に絶縁領域を設ける工程と、該絶縁領域と該ポリシリコン層との上全体にNi、Co、Ti、およびPtからなる高融点金属の群から選択される高融点金属の層を堆積する工程と、該ポリシリコンと該高融点金属とを反応させてシリサイド層を形成する工程と、未反応の該高融点金属を除去する工程と、該シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程と、を含む。これにより、上記目的が達成される。

【00011】好ましくは、上記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で上記構造体を高速熱アニールすることを含む。

【00012】本発明の更に別の局面によれば、シリサイド化素子を形成する方法は、素子範囲を基板上に形成することにより該基板を調製する工程と、該基板と任意のシリサイド層との間に位置する構造体を設ける工程と、形成された該構造体の上全体に高融点金属の層を堆積する工程と、該構造体の選択部分に絶縁領域を設ける工程と、該絶縁領域および第1の反応性材料の第1の層の上全体にポリシリコン層を堆積する工程と、該第1の反応性材料および第2の反応性材料を反応させてシリサイド層を形成する工程と、未反応の該反応性材料を除去する工程と、該シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程と、を含む。これにより、上記目的が達成される。

【00013】好ましくは、上記反応させる工程が、約500℃から900℃の間の温度で約10秒から50秒間の範囲の持続時間で上記構造体を高速熱アニールすることを含む。

【00014】好ましくは、上記高融点金属の層を堆積す

る工程が、C および P t からなる高融点金属の群から選択される高融点金属の層を堆積すること。および上記第1の反応性材料の上記第1の層の上にT i の層を堆積することを含み、上記構造体の選択部分に上記絶縁領域を設ける工程が、T i を酸化してT i O₂を形成することを含み、上記第2の反応性材料の第2の層を形成する工程が、ポリシリコン層を堆積することを含む。

【0015】好ましくは、上記高融点金属層を堆積する工程が、N i、C o、T i、およびP t からなる高融点金属の群から選択される高融点金属を堆積することを含む。

【0016】シリサイド化素子を形成する本発明の方法は、素子範囲を基板上に形成して基板を調製する工程と、基板と任意のシリサイド層との間に位置する構造体を設ける工程と、形成された構造体の上全体に第1の反応性材料の第1の層を形成する工程と、構造体の選択部分に絶縁領域を設ける工程と、絶縁領域および第1の反応性材料の第1の層の上全体に第2の反応性材料の第2の層を形成する工程と、第1の反応性材料と第2の反応性材料とを反応させてシリサイド層を形成する工程と、未反応の反応性材料を除去する工程と、シリサイド層上に位置する構造体を形成する工程と、素子をメタライズする工程と、を含む。

【0017】以下に本発明の作用を説明する。S O I のCMOS素子において、ソース・ドレイン・ゲート上にポリシリコンを形成し、その上にさらにT i、C oなどの高融点金属を堆積させて、熱処理によってシリサイド膜を形成することにより、半導体素子の縮小化および高信頼性化が可能になる。

【0018】

【発明の実施形態】本発明による構造体および構造体を形成する方法は、S I M O X (Separation by Implantation of Oxygen)基板を用いて説明される。同一の技術が、ポリシリコン素子にも適用され得る。

【0019】出発物質は、非常に薄い表層シリコン膜を有するS I M O Xウエハである。図1を参照すると、S I M O Xウエハの一部が、概して参照符号10で示されている。ウエハ10は、本明細書中で基板とも呼ばれる単結晶シリコン部分12を有する。埋め込み酸化物層14は、100nmと300nmとの間の厚さを有し、シリコン膜層は、100nm未満の厚さを有する。ウエハは、その上に素子範囲を形成するよう調製される。構造体は、活性領域エッチングおよび閾値電圧調節イオン注入によって処理される。ポリシリコンが用いられる場合、ウェル拡散が用いられ、続いて、LOCOSまたは適切な分離形成、閾値電圧調節、およびイオン注入が行われる。いずれの場合においても、次の工程はゲート酸化、ポリシリコン堆積、ゲート電極エッチング、およびLDDイオン注入であり、これらによって基板とシリサイド層との間に位置する構造体を形成する。

【0020】図1に示される構造体は、基板12と、埋め込み酸化物層14と、表層シリコン膜の残遺物である2つのシリコン領域16および18を含む。各シリコン領域16および18の一部分はドーピングされ、N⁺領域16aおよび16bと、P⁺領域18aおよび18bとをそれぞれ形成する。各領域の中心部分は、未処理のシリコンのみである。領域16および18のドーピング密度は、それぞれそれぞれ $1.0 \times 10^{16} \text{ cm}^{-3}$ から $1.0 \times 10^{18} \text{ cm}^{-3}$ および $5.0 \times 10^{16} \text{ cm}^{-3}$ から $5.0 \times 10^{17} \text{ cm}^{-3}$ である。N⁺領域のドーピング密度は、それぞれそれぞれ $1.0 \times 10^{18} \text{ cm}^{-3}$ から $5.0 \times 10^{19} \text{ cm}^{-3}$ である。P⁺領域のドーピング密度は、それぞれそれぞれ $1.0 \times 10^{18} \text{ cm}^{-3}$ から $5.0 \times 10^{19} \text{ cm}^{-3}$ である。シリコン領域16および18は、酸化物キャップ20および22によりそれぞれ包囲される。ゲートポリシリコン領域24および26は、シリコン領域16および18の上全体にそれぞれ配置される。上記の工程は、任意の従来プロセスで達成され得る。

【0021】絶縁体として機能する酸化シリコン層または窒化シリコン層が、基板全体の上に形成して堆積される。この絶縁層の厚さは、50nmから100nmの間である。本明細書に記載の実施形態では、酸化シリコンが用いられる。図2を参照すると、構造体はプラズマエッチングされ、絶縁性の酸化物層の上部部分を除去し、ゲート電極24および26の側壁に酸化物を残す。これらの側壁は、酸化物キャップ20および22の残りの部分と結合して酸化物キャップ28および30を形成し、ならびに酸化物側壁32、34、36および38をシリコン領域16および18の端部に形成する。

【0022】構造体の一部分は、nMOSおよびpMOSそれぞれのためのN⁺およびP⁺ソース・ドレイン用イオン注入のためのフォトリソストによって覆われる。N⁺およびP⁺ソース・ドレイン用イオン注入を、N⁺領域にはA⁺イオンおよびP⁺領域にはB⁺イオン、が注入される。N⁺領域への注入は、10keVから60keVのエネルギーレベルおよび $1.0 \times 10^{15} \text{ cm}^{-2}$ から $5 \times 10^{15} \text{ cm}^{-2}$ のドーピング量で行われ、P⁺領域への注入は、10keVから60keVのエネルギーレベルおよび $1 \times 10^{15} \text{ cm}^{-2}$ から $5.0 \times 10^{15} \text{ cm}^{-2}$ のドーピング量で行われ、N⁺領域40および42、ならびにP⁺領域44および46を形成する。これらの領域は、最終的に素子のソース・ドレイン領域となる。ゲートポリシリコンは、ゲートポリシリコンの直下の範囲にイオンが注入されるのを防止し、この範囲は、シリコン領域16および18として元の状態のまま残る。シリコン領域16および18は、LDD領域であり、領域40および46はソース領域、領域42および44はドレイン領域である。

【0023】図3を参照すると、第1の反応性材料の第1の層48が、既に形成された構造体上に堆積され、続

いて、構造体の選択部分に絶縁領域50、52、54、および56が形成され、第2の反応性材料より第2の層58が堆積される。第1の実施形態において、第1の層48はポリシリコンの薄い層であり、構造体の上全体に50nmから100nmの間の厚さまで堆積される。酸化シリコンまたは窒化シリコンの層が、50nmから100nmの間の厚さに堆積され、絶縁領域を形成する。あるいは、酸化物層は熱プロセスによって10nmから50nmの厚さに形成され得る。酸化物または窒化物層は、プラズマエッチングされ、酸化シリコンまたは窒化シリコンが50、52、54および56をそれぞれゲート電極24および26それぞれの側壁に形成する。第2の層58は、高融点金属の薄い層から形成されており、CVDまたはスパッタリングによって堆積される。高融点金属はCr、Ti、Ni、およびPtであり得、5nmと50nmとの間の厚さまで堆積される。

【0024】構造体はフォトリソスによって覆われ、図4に示すように、高融点金属がシリサイドを中に有さない範囲からのエッチングにより除去される。500°Cから900°Cの間の温度で10秒から50秒間の高速熱アニール(RTA)中に高融点金属とシリコンとの反応としてシリサイド化が起こり、その結果、図5に示すように、シリサイド層60、62、64、66、および68が形成される。

【0025】未反応の高融点金属は選択的なエッチングによって除去され、図6に示す構成が得られる。このエッチングの際に用いられる溶液は、Tiに対して $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ 、Ptに対して $\text{HNO}_3 + \text{HCl}$ およびNiまたはCrに対して $\text{HCl} + \text{H}_2\text{O}_2$ などである。

【0026】残りの酸化物が、稀釈されたBHF溶液中で選択的にエッチングされ、かつポリシリコンが $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ 溶液中で選択的にエッチングされることによって、図7に示す構成が得られる。ゲートポリシリコン24および26の上に位置するシリサイド層60および62は、オーバーハング構造を有することに留意されるべきである。ポリシリコンの厚さは100nmを上回らないので、オーバーハング構造は100nmよりも薄い。よって、製造プロセス中に適切な品質管理があればステップカバレージの問題はない。

【0027】従来のプロセスに従って、素子製造を完了し、シリサイド層の上、上方、または側面に沿って配置される、また形成されていない構造体を形成する。構造体は、CVDによって堆積された400nmから600nmの間の厚さの酸化物70で覆われる。酸化物層70が酸化物カプチャ28および30と結合する。構造体は、メタライゼーションのための孔を形成するようにエッチングされ、金属が堆積されて、ソース電極72、ゲート電極74、共用ドレイン電極76、ゲート電極78、およびソース電極80を形成する。完成したCMOS対の断面図を図8に示す。

面図を図8に示す。

【0028】本発明の別の形態では、高融点金属が第1の反応性層として堆積され、側壁絶縁体が形成され、ポリシリコンの層が第2の反応性層として堆積される。この場合はポリシリコンである第2の反応性層の部分は、図4に示すように選択的にエッチングされる。その後シリサイド化が続き、そしてポリシリコンおよび高融点金属の選択的なエッチングが行われる。

【0029】高融点金属がNi、CrまたはPtである場合、Tiの薄い層が最初の金属層の上に堆積され得る。Ti層の厚さは、5nmから20nmなどの非常に小さい厚さであり得る。次いで、ウエハが大気に曝され、Tiが酸化チタンに変換される。必要であれば、ウエハは40°Cから250°Cの温度に加熱され、全てのTiを酸化チタンに変換する。酸化チタンはプラズマエッチングされ、ゲート電極の側壁に酸化チタン側壁を形成する。ポリシリコンが堆積され、フォトリソスが塗布され、シリサイドが必要でない範囲からポリシリコンがエッチングにより除去される。その後、ウエハは、シリサイド層を形成するために処理される。

【0030】本発明が好適な実施形態およびそれらのいくつかの改変が開示されたが、添付の請求の範囲に規定された本発明の範囲を逸脱することなく更なる変更および改変がなされ得ることが理解される。

【0031】

【発明の効果】上述のように、本発明によれば、超高密度、超小型形状回路の製造のため、簡便で信頼性が高いシリサイドCMOS処理およびその構造体を、高いコスト効率で提供できる。

【図面の簡単な説明】

【図1】最初のウエハ調製およびLDD注入後の構造体の前断面図である。

【図2】N⁺およびP⁺領域の形成後の構造体の前断面図である。

【図3】高融点金属層の堆積後の構造体の前断面図である。

【図4】高融点金属層のエッチング後の構造体の前断面図である。

【図5】シリサイド化後の構造体の構造体の前断面図である。

【図6】未反応の高融点金属の選択的エッチング後の前断面図である。

【図7】酸化物層およびポリシリコン層の選択的エッチング後の前断面図である。

【図8】完成した構造体の前断面図である。

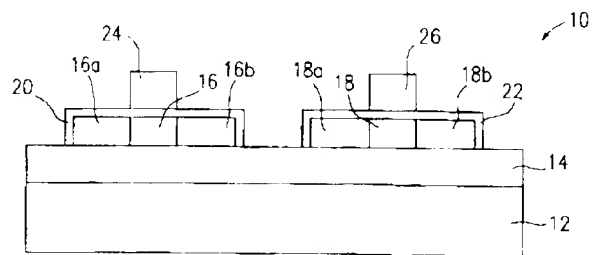
【符号の説明】

- 10 ウエハ
- 12 単結晶シリコン基板
- 14 酸化物層
- 16、18 シリコン領域

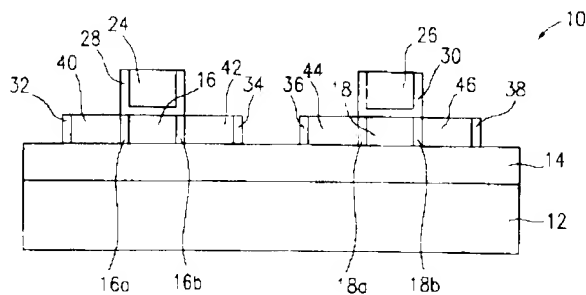
20、22 酸化物キャップ
 24、26 ゲートポリシリコン領域
 28、30 酸化物キャップ
 32、34、36、38 酸化物側壁
 40、42 N⁺領域
 44、46 P⁺領域

50、52、54、56 絶縁領域
 60、62、64、66、68 シリサイド層
 70 酸化物
 72、80 ソース電極
 74、78 ゲート電極
 76 共用ドレイン電極

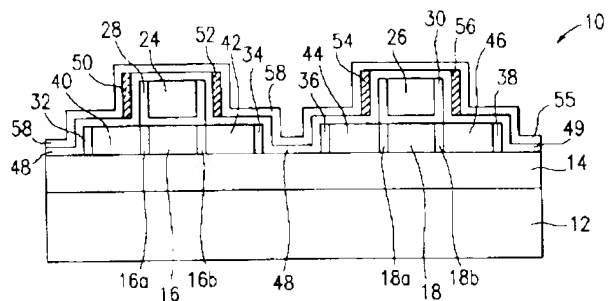
【図1】



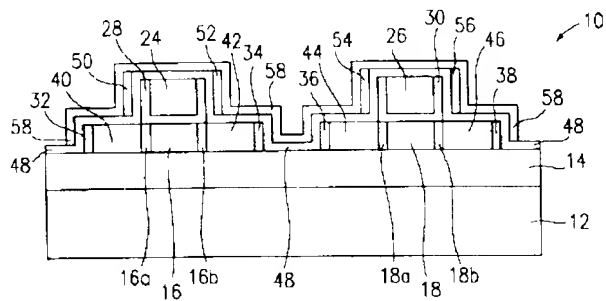
【図2】



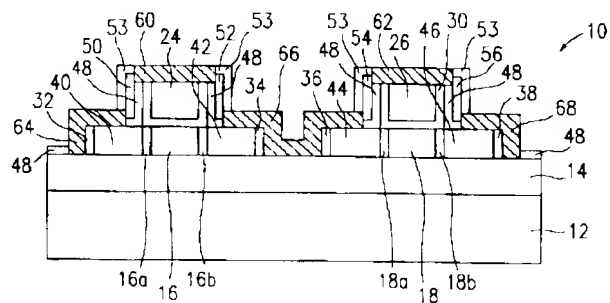
【図3】



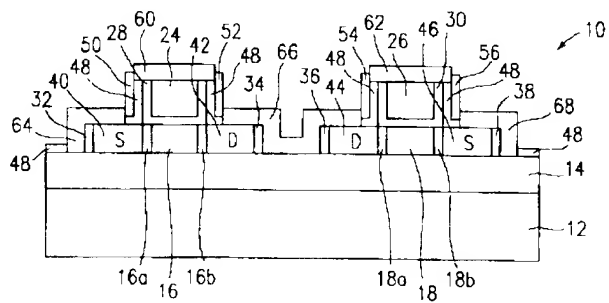
【図4】



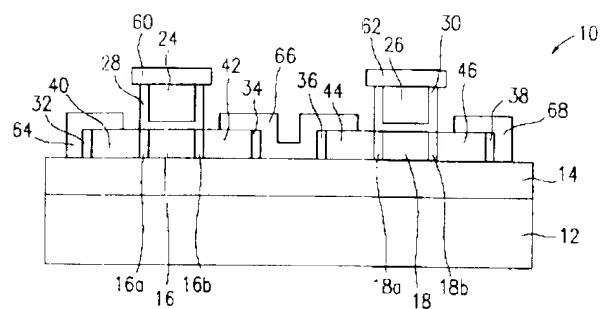
【図5】



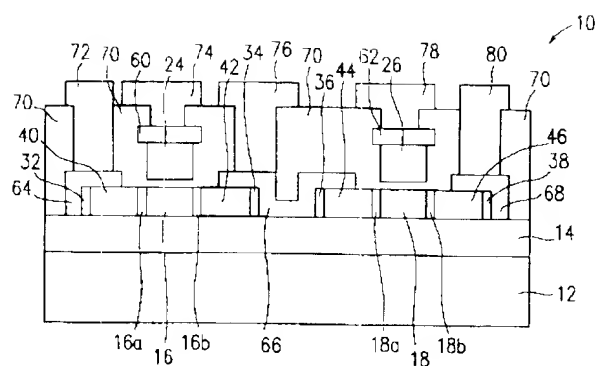
【図6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 シェン テン スー
アメリカ合衆国 ワシントン 98607,
カマス, エヌダブリュー トロウト コ
ート 2216

(72)発明者 ジャー セン マー
アメリカ合衆国 ワシントン 98684,
バンクーバー, エスイー ソロモン ル
ープ 1511